

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-253941

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 09-058904

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.03.1997

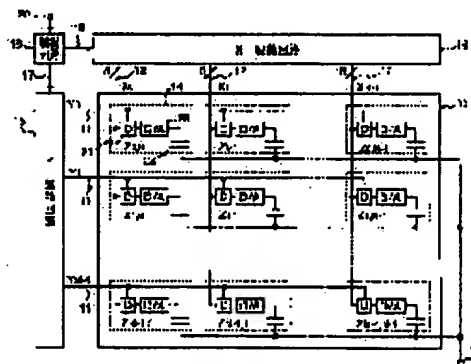
(72)Inventor : HATANO MUTSUKO
AKIMOTO HAJIME
NAKAHARA HITOSHI

(54) MATRIX TYPE IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high resolution and large-sized matrix type display device capable of inputting a high resolution display signal to respective pixels even during a short display signal input time.

SOLUTION: Each display pixel circuit 14 is provided with a D/A converter 22, and a TN liquid crystal capacitor 23 is connected to the output of the D/A converter 22, and the output of a latch is connected to the input. The timing input of the latch 21 is connected to a Y drive circuit 15 through a gate line 11, and the data input of the latch 21 is connected to an X drive circuit 16 through a data bus 12. The other end of the TN capacitor 23 is connected to a common electrode 24. The Y drive circuit 15 selects successively the gate line of respective rows according to a clock 17 inputted from a control circuit 19 to set it in a high voltage level. A digital display signal is inputted to the X drive circuit 16 through a digital input line 18, and to be outputted to the data bus 12 at every row when digital display signals by one row are collected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of]

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.⁶
G 0 2 F 1/133
G 0 9 G 3/36

識別記号
5 5 0
5 2 0

F I
G 0 2 F 1/133 5 5 0
G 0 9 G 3/36 5 2 0

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願平9-58904

(22) 出願日 平成9年(1997) 3月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 波多野 睦子

東京都国分寺市東恋ヶ窪一丁目280番地株
式会社日立製作所中央研究所内

(72) 発明者 秋元 肇

東京都国分寺市東恋ヶ窪一丁目280番地株
式会社日立製作所中央研究所内

(72) 発明者 中原 仁

東京都国分寺市東恋ヶ窪一丁目280番地株
式会社日立製作所中央研究所内

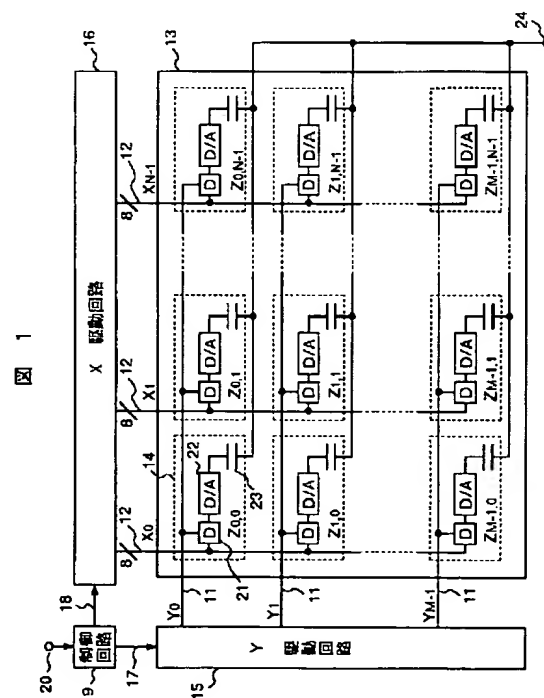
(74) 代理人 弁理士 高橋 明夫 (外1名)

(54) 【発明の名称】 マトリクス型画像表示装置

(57) 【要約】

【課題】 短い表示信号入力時間の間でも各画素に高解像度の表示信号を入力するができ、高解像度の大型マトリクス型表示装置を提供すること。

【解決手段】 各表示画素回路14は、DA変換器22を備え、DA変換器22の出力にはTN液晶静電容量23が接続され、入力にはラッチ21の出力が接続されている。ラッチ21のタイミング入力はゲート線11を介してY駆動回路15に接続され、ラッチ21のデータ入力はデータバス12を介してX駆動回路16に接続されている。TN液晶静電容量23の他端は共通電極24に接続されている。Y駆動回路15は、制御回路19から入力されるクロック17に従い、順次各行のゲート線11を選択して高電圧レベルに設定する。X駆動回路16にはデジタル表示信号がデジタル入力線18を経由して入力されており、一行分のデジタル表示信号が揃った時点で、各列毎にデータバス12に出力される。



【特許請求の範囲】

【請求項1】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、前記複数の画像表示素子回路は、各々、DA変換器を有することを特徴とするマトリクス型画像表示装置。

【請求項2】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、前記複数の画像表示素子回路は、各々、マトリクス型画像表示装置の各交点にある画像表示素子回路が、ラッチとDA変換器とを備えていることを特徴とするマトリクス型画像表示装置。

【請求項3】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、前記複数の画像表示素子回路は、各々、CMOSで構成されたDA変換器を備えていることマトリクス型画像表示装置。

【請求項4】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、前記複数の画像表示素子回路には、各々、画像信号がデジタル信号の形式で与えられることを特徴とするマトリクス型画像表示装置。

【請求項5】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、列方向に各画像表示素子回路を接続するデータバスを設け、各画像表示素子回路内にDA変換器を設け、各画像表示素子回路内でアナログデータに変換することを特徴とするマトリクス型画像表示装置。

【請求項6】ガラス基板と、このガラス基板上に、二次元のマトリクス状に配列して形成された複数の画像表示素子回路とからなるマトリクス型画像表示装置であって、列方向に各画像表示素子回路を接続するデータバスを設け、各画像表示素子回路内にDA変換器を設け、さらに、前記DA変換器とデータバスの間にラッチを設けたことを特徴とするマトリクス型画像表示装置。

【請求項7】画素電極と、前記複数の表示画素電極の各々に対応して設けられたラッチ及びDA変換器を含み、前記ラッチのタイミング入力が入記複数の表示画素電極を行単位で走査する信号を供給するゲート線に接続され、前記ラッチのデータ入力が入記複数の表示画素電極に列単位でデジタル表示データを供給するデータバスに接続され、前記ラッチのデータ出力が入記DA変換器の入力に接続され、前記DA変換器の出力が表示画素電極に接続されていることを特徴とするマトリクス型画像表示装置。

【請求項8】二次元のマトリクス状に配列された複数の

表示画素電極と、前記複数の表示画素電極の各々に対応して設けられたラッチ及びDA変換器を含み、前記ラッチのタイミング入力が入記複数の表示画素電極を行単位で走査する信号を供給するゲート線に接続され、ラッチのデータ入力が入記複数の表示画素電極に列単位でデジタル表示データを供給するデータバスに接続され、前記ラッチのデータ出力が入記DA変換器の入力に接続され、前記DA変換器の出力が表示画素電極に接続されていることを特徴とするマトリクス型画像表示装置。

【請求項9】前記複数の表示画素電極、前記複数のラッチ、前記複数のDA変換器、前記複数のゲート線、前記複数のデータバスが液晶層を挟持する一対のガラス基板上に形成されていることを特徴とする請求項7に記載のマトリクス型画像表示装置。

【請求項10】前記複数のラッチは、CMOSで構成されたClockedインバータからなることを特徴とする請求項7に記載の画像表示装置。

【請求項11】前記複数のDA変換器は、CMOSで構成された電流切替形からなることを特徴とする請求項7に記載のマトリクス型画像表示装置。

【請求項12】前記複数のラッチ、前記複数のDA変換器は薄膜トランジスタで構成され、液晶層を挟持する一対のガラス基板上に形成されている請求項7に記載のマトリクス型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス型画像表示装置、特に大型の画面で高解像度表示を可能とするマトリクス型画像表示装置に関する。

【0002】

【従来の技術】従来のマトリクス型画像表示装置として、液晶画像表示装置を例に採り、図10を用いて説明する。図10は、従来の技術による液晶画像表示装置の構成図である。このような従来の画像表示装置の例としては、例えばSID94, Digest of Technical Papers, pp. 359-362, (1994)等が知られている。

【0003】図10において、各々複数本のゲート線111と信号線112との交点にある各画素（画像表示素子）には、透過光量を変調するためのTN（Twisted Nematic）液晶層が設けられているが、これを静電容量105で示している。各画像表示素子回路及びその駆動回路の構成及び動作は、次の通りである。

【0004】静電容量105にはTFT（Thin Film Transistor）スイッチ102が接続されている。TFTスイッチ102のゲートは、ゲート線111を介してシフトレジスタ114に接続されている。また、TFTスイッチ102のドレインは信号線112、DA変換器116を介してラッチ回路115に接続されている。シフトレジスタ114とラッチ回路11

5は、ともに制御回路118に接続され、制御回路118には信号入力端子119が設けられている。なお、TN液晶静電容量105の他端は共通電極107に接続されている。

【0005】シフトレジスタ114は、制御回路118から入力されるクロックに従い、ゲート線111を順次選択して高電圧レベルに設定する。ラッチ回路115には1行分の表示信号が入力されており、この表示信号はDA変換器116を介して信号線112に入力される。シフトレジスタ114によってゲート線111を介して選択された行のTFTスイッチ102はオン状態になるため、選択された行のTN液晶静電容量105には、信号線112を介して表示信号が入力される。TN液晶は印加電圧によってその光学特性が制御されるため、図中には省略している偏光板及びバックライトと組み合わせることにより、表示画素マトリクスには画像情報を表示することができる。

【0006】画像表示装置において、動画の動きを視覚的に滑らかなものとするためには、一般に、フレーム間の表示間隔を $1/60$ 秒以下にすることが必要である。このためには全表示画素に対して $1/60$ 秒以内に表示信号の入力を行う必要がある。一方、高解像度、大画面のマトリクス型画像表示装置の代表例である、SXGA型画像表示装置では、画素数が 1280×1024 画素で、行数は1024である。このため、1行あたりの表示信号入力時間は $1/60 \div 1024 = 16.3 \mu s$ 以下しか確保することができない。

【0007】しかるに、上記従来技術によるマトリクス型画像表示装置では、信号線112は寄生抵抗、寄生容量を有するため、DA変換器116の出力インピーダンスをいかに小さくしても出力の安定までに過渡時間が必要である。この過渡時間はDA変換器116から離れる程大きくなる。画面が大型化すると、さらにこの過渡時間が大きくなる。

【0008】一方、一本のゲート線111が駆動するTFTスイッチ102は、SXGA型(1280×1024 画素)高解像度の画像表示装置では1280程度にもなる。カラーのものではこの3倍になる。このため、ゲート線111に接続される負荷容量は高解像度の画像表示装置では大きくなる。このため、シフトレジスタ114の出力インピーダンスをいかに小さくしても、シフトレジスタ114のゲートパルス出力が各画素のTFTスイッチ102のゲートに到達するまでに波形の鈍化が生じる。この鈍化はシフトレジスタ114から離れる程大きくなる。さらに画面が大型化すると、ゲート線111自身の寄生抵抗、寄生容量も大きくなり、さらにこの鈍化が大きくなる。

【0009】各画素に高解像度の表示入力を与えるためには、信号線出力が安定化してからゲートパルスを加えてゲートを開く必要があるが、上記信号線出力の過渡時

間とゲートパルスの鈍化により前記従来技術によるマトリクス型画像表示装置では、上記16.3 μs 以下でこれを実現することが困難になる。

【0010】

【発明が解決しようとする課題】本発明の目的は、上記従来技術の問題点を解消し、短い表示信号入力時間の間でも各画素に高解像度の表示信号を入力可能とするマトリクス型画像表示装置を提供することにある。

【0011】本発明の他の目的は、大画面でも、動画の動きが滑らかで、各画素に高解像度の表示信号を入力可能とするマトリクス型画像表示装置を提供することにある。

【0012】本発明の別の目的は、簡潔なプロセス技術により製作可能なマトリクス型画像表示装置を提供することにある。

【0013】さらに、本発明の別の目的は、表示画面内に装置の主要部または全部を作り込んだ、いわゆる、システムインディスプレイを可能とするマトリクス型画像表示装置を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するための本発明の一つの基本的な特徴は、マトリクス型画像表示装置の各交点にある画像表示素子回路をデジタル画像信号により駆動するようにしたことである。

【0015】上記目的を達成するための本発明の他の基本的な特徴は、マトリクス型画像表示装置の各交点マトリクス型にある画像表示素子回路が、DA変換器を備えていることである。

【0016】上記目的を達成するための本発明の他の基本的な特徴は、マトリクス型画像表示装置の各交点にある画像表示素子回路が、ラッチとDA変換器とを備えていることである。

【0017】上記目的を達成するための本発明の別の基本的な特徴は、マトリクス型画像表示装置の各交点にある画像表示素子回路が、CMOSで構成されたDA変換器を備えていることである。

【0018】上記目的を達成するため、本発明のマトリクス型画像表示装置では、列方向に各画素を接続する信号線112にDA変換器116出力のアナログ信号を供給する代わりに、列方向に各画素を接続するデータバスを設け、このデータバスにデジタル表示データを供給する。そして各画素内にDA変換器を設け、各画素内でアナログデータに変換し、液晶静電容量を駆動する。この際、DA変換器とデータバスの間にラッチを設けることにより、データの正確なタイミングでの取り込みを実現することができる。

【0019】

【発明の実施の形態】本発明のマトリクス型画像表示装置の実施の形態を図により説明する。

【0020】図1において、13は、ガラス基板で、ガ

ラス基板13の上には、各々がゲート線11及びデータバス12に接続された、多数の表示画素回路14がマトリクス状に形成されている。

【0021】各表示画素回路14に対応して、透過光量を変調するためのTN液晶層が設けられているが、これを静電容量23で示している。静電容量23の一方の電極には8ビットのDA変換器22の出力が接続されている。DA変換器22の入力には、8ビットのラッチ21の出力が接続されている。ラッチ21のタイミング入力にはゲート線11を介して、Y駆動回路15に接続されている。また、ラッチ21のデータ入力は、8ビットのデータバス12を介してX駆動回路16に接続されている。Y駆動回路15とX駆動回路16とは、ともに制御回路19に接続され、制御回路19には信号入力端子20が設けられている。また、TN液晶静電容量23の他方の電極は、共通電極24に接続されている。

【0022】Y駆動回路15は、制御回路19から入力されるクロック17に従い、各行のゲート線11を順次選択して高電圧レベルに設定する。X駆動回路16にはデジタル表示信号がデジタル入力線18を経由して入力されており、一行分のデジタル表示信号が揃った時点で、各列毎に8ビットデータバス12に出力される。なお画素にラッチを用いた場合、メモリ効果があるためフレームレートが低減できる、さらにY駆動回路15は選択的に書き込むことができるという利点がある。

【0023】第0番目から第M-1番目までの各ゲート線11上のゲート信号Y0、Y1、…YM-1及び第0番目から第N-1番目までの各8ビットデータバス12上のデジタル表示データX0、X1、…XN-1の変化のタイミングを図2に示す。ここで、N、Mの実際の値は画素数1280×1024のカラー表示装置では、M=1024、N=1280×3になる。図2のタイムチャートにおいて、1フレーム=1/60秒とした。M行の画素の値の入力データの更新が、1フレームを周期として一巡して完了する。ゲート信号とデジタル表示データの位相は、ずれており、デジタル表示データが確定したタイミングでデジタル表示データを8ビットのラッチ21に取り込むようになっている。

【0024】8ビットのラッチ21は、クロック同期(Clocked)インバータを用いたCMOS論理によって、図3のように構成する。図3(a)は記号表示、図3(b)はゲート表示で表わした8ビットラッチ21である。

【0025】図4は、Clockedインバータ自身の詳細な回路図を示す。図4(a)は記号表示、図4(b)はゲート表示で表わしたClockedインバータ21である。図4(b)に示すように、各Clockedインバータは4つのCMOSトランジスタからなり、薄膜のPoly-Si、a-Si、単結晶Siをチャンネルに用いた薄膜トランジスタで構成することが望

ましい。

【0026】前述したように、M=1024とすると、図2における、1行あたりの表示信号入力時間 T_{in} は、 $1/60 \div 1024 = 16.3 \mu s$ の半周期以下である。しかし、ラッチ21が取り込むのはデジタル信号であるから、 T_{in} の後端でデータバス12の各ビット線の値がCMOSの論理しきい値を超えていれば、'0'又は'1'の判定が正しくできる。このため1本の信号線に8ビット精度(256階調)のアナログ信号を通す場合よりも容易に正確な信号値の判別が可能である。なお、データバス12には8ビットの平行のビット線を用いたが、シリアルでもよい。

【0027】8ビットのDA変換器22の構成を図5に示す。図5(a)は記号表示、図5(b)はゲート表示で表わしたDA変換器22である。図5(b)において、D7を入力とするMSB部からD0を入力とするLSB部までの8段で8ビットDA変換器が実現される。図5(b)では、図面の簡潔化のために、D7を入力とするMSB部対応の1段のDA変換器41のみ詳細な回路を示し、他のDA変換器は、DA変換器41とまったく同様の構成なので、単にボックスで示す。図5のDA変換器41は電流切替型として知られている形式である。

【0028】このDA変換器は入力信号以外のクロックを必要とせず、DA変換器1段が16個のMOSトランジスタのみで実現でき、抵抗や容量等の受動素子が不要なことから高集積化に適する。またプロセス的にも(液晶層静電容量以外の)容量形成工程が不要であることから、低コスト化に適する。なお、DA変換器を構成するデバイスは、薄膜のPoly-Si、a-Si、単結晶Siをチャンネルに用いた薄膜トランジスタで構成することが望ましい。42、43は正負の出力電流線、44は出力電流を電圧に変換する電流-電圧変換器である。電流-電圧変換器はオペアンプ45を含む。

【0029】オペアンプ45の構成を図6に示す。図6(a)は記号表示、図6(b)はゲート表示で表わしたオペアンプ45である。同図で、基本部分は V_{in1} 、 V_{in2} の差動入力に対し、 V_{out1} 、 V_{out2} の差動出力を出力する。VCM、VBNは基本部分の動作に必要なバイアス電圧であり、図7に示すバイアス電圧発生回路により生成される。なお、オペアンプを構成するデバイスも、薄膜のPoly-Si、a-Si、単結晶Siをチャンネルに用いた薄膜トランジスタで構成することが望ましい。

【0030】以上の回路構成から明らかなように、本発明の各画像表示素子回路は、ラッチ及びDA変換器からなるが、回路規模的には、DA変換器が大部分を占める。したがって、DA変換器の形成プロセス及び構成規模が重要となる。本発明では、DA変換器をはじめ、ラッチ、オペアンプなどの全てのあるいは主要な回路をC

MOSプロセスで形成することにより所期の目的を達成することができる。すなわち、図4のラッチ回路、図5のDA変換器回路、図6のオペアンプ、及び、図7のバイアス電圧発生回路のいずれの回路もCMOSトランジスタにより構成されている。

【0031】図8は、薄膜トランジスタから構成されるCMOS（相補型トランジスタ）の断面構造を示す。図において、ガラスや石英などの絶縁性基板81上の多結晶シリコン層80に、n型チャンネルTFT90とp型チャンネルTFT91とからなるCMOS薄膜トランジスタを構成する。薄膜トランジスタのチャンネルには薄膜のポリシリコン層80からなる薄膜を用いているが、a-Si薄膜、単結晶Si薄膜を用いても同様である。n型チャンネルTFT90はポリシリコン層80にn型のソース拡散層88とそれと接続したソース電極85、n型のドレイン拡散層89とそれと接続したドレイン電極84、さらにゲート絶縁膜86を介してゲート電極87を設置することにより電界効果型トランジスタとして動作する。同様にp型チャンネルTFT91は多結晶シリコン層88とそれと接続したソース電極85、p型のドレイン拡散層89とそれと接続したドレイン電極84、さらにゲート絶縁膜86を介してゲート電極88を設置することにより電界効果型トランジスタとして動作する。

【0032】上記の構造のCMOSトランジスタで形成すれば、図5のDA変換器の占有面積は、例えば、 $0.25\mu\text{m}$ のサブミクロン技術を用いれば、図4の8ビットのラッチを合わせても、 $100\mu\text{m}\times 100\mu\text{m}$ の大きさの面積に収めることが可能である。この大きさは例えば28インチのSXGA型（ 1280×1024 画素）のカラー大型表示素子においては開口率を16%減少するだけであり、十分実用に耐え得るものである。さらに、 $0.15\mu\text{m}$ のサブミクロン技術プロセスを用いれば、開口率の減少は、5%程度となり、ほとんど問題とならない。

【0033】図9に画像装置の全体構成を示す。2枚のガラス板102、103を数 μm の空間105を介して対向させ固定し、その間に液晶100を封入した構造となっている。上部ガラス基板102上には、共通電極とカラーフィルタの他に、本発明により、列対応に設けたデータバス、並びに、各画素対応のラッチ、DA変換器を含む画像表示素子回路が全て形成された画像表示回路104が配置されている。これらを2枚の偏光板101で挟み、図9の下方から、白色光を入射させると透過型の表示装置となる。

【0034】さらに、図9の表示装置に、図1に示す制御回路並びにX駆動回路及びY駆動回路も作り込むことができ、いわゆる、システムインディスプレイとす

ることもできる。

【0035】なお、本実施の形態では、電流切替型のDA変換器を用いたが、これに代えて抵抗から構成される抵抗分割型、あるいは容量分割型で構成しても同様の効果が得られる。

【0036】

【発明の効果】以上説明したように、本発明によれば、各画素にデジタル表示データを伝送すればよいので、短い表示信号入力時間の間でも各画素に高解像度の表示信号を入力することができ、高解像度の表示素子を実現することができる。

【図面の簡単な説明】

【図1】本発明による画像表示装置の一実施の形態を示す回路構成図。

【図2】図1の動作を説明するための信号変化を示すタイミング図。

【図3】図1のラッチの記号表示回路構成図（a）及びゲート表示回路構成図（b）。

【図4】図1のインバータの記号表示回路構成図（a）及びゲート表示回路構成図（b）。

【図5】図1のDA変換器の記号表示回路構成図（a）及びゲート表示回路構成図（b）。

【図6】図1のオペアンプの記号表示回路構成図（a）及びゲート表示回路構成図（b）。

【図7】図1のオペアンプ用のバイアス電圧発生回路のゲート表示回路構成図。

【図8】図1の画像表示装置の回路形成部を示す断面図。

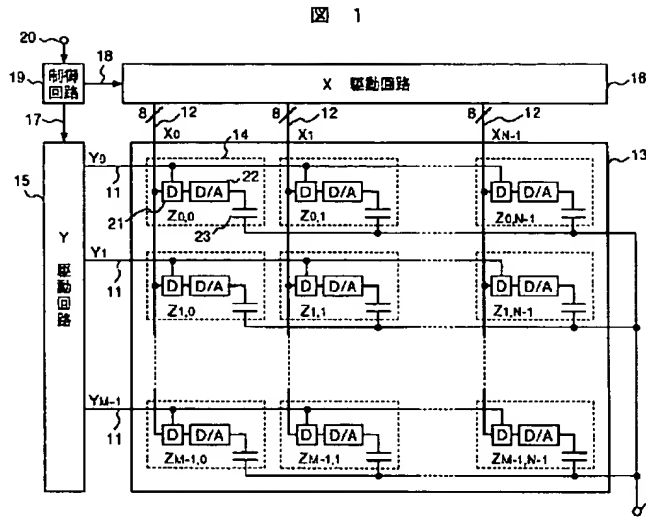
【図9】図1の画像表示装置の全体構成を示す分解斜視図。

【図10】従来の画像表示装置の回路構成図。

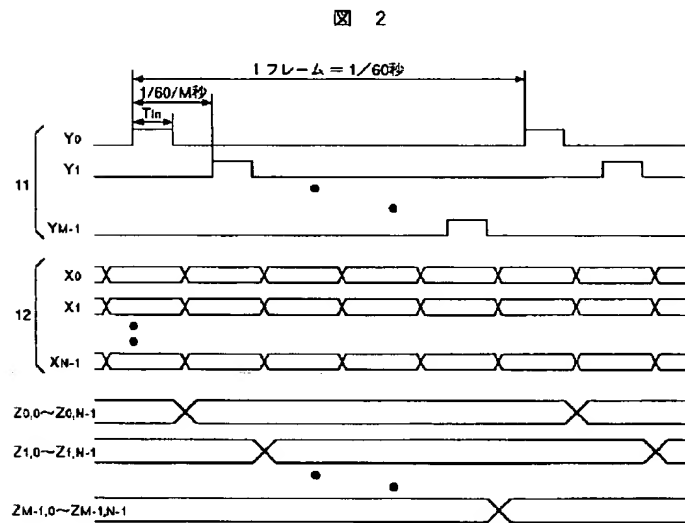
【符号の説明】

14…表示画素、23…TN液晶層静電容量、22…DA変換器、21…ラッチ、11…ゲート線、15…Y駆動回路、12…データバス、16…X駆動回路、19…制御回路、20…信号入力端子、24…共通電極、17…クロック、18…デジタル入力線、41…MSBのDA変換器、42、43…正負の出力電流線、44…電流－電圧変換器、45…オペアンプ、80…多結晶シリコン層、81…絶縁性基板、83…チャンネル形成領域、84…ドレイン電極、85…ソース電極、86…ゲート絶縁膜、87…ゲート電極、88…ドレイン拡散層、89…ソース拡散層、90…n型チャンネルTFT、91…p型チャンネルTFT、100…画像表示素子、101…偏光板、102…下部ガラス基板、103…上部ガラス基板、104…カラーフィルタ、105…液晶

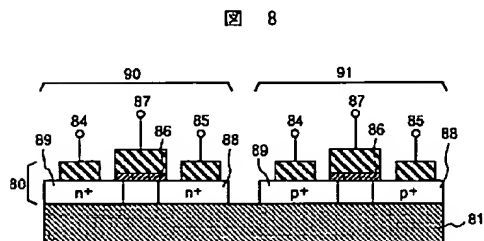
【図1】



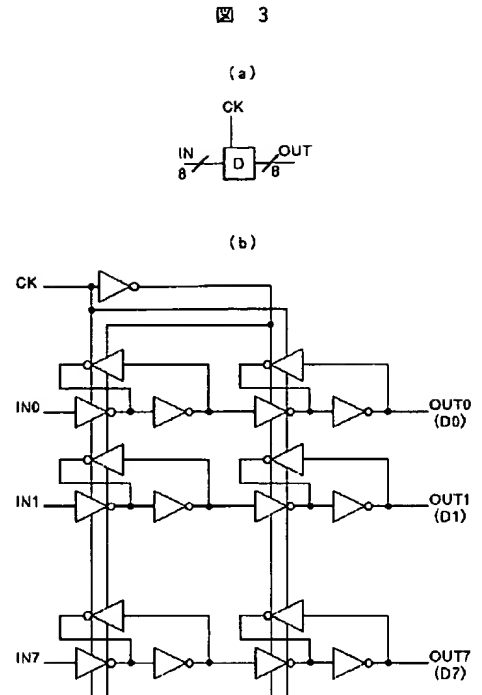
【図2】



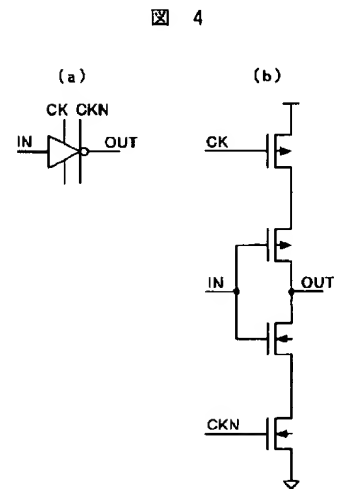
【図8】



【図3】

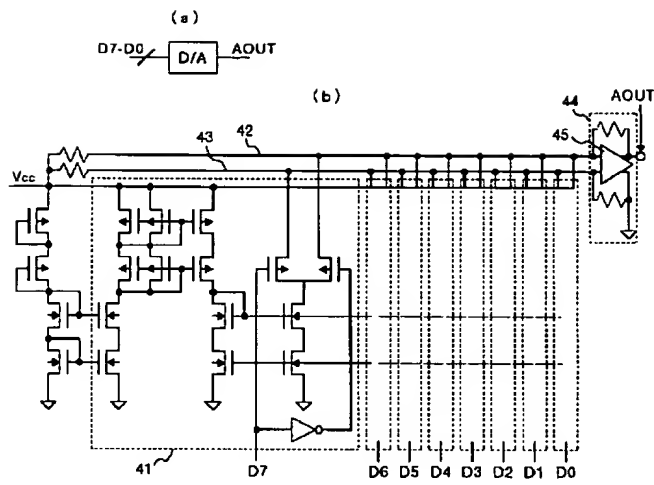


【図4】



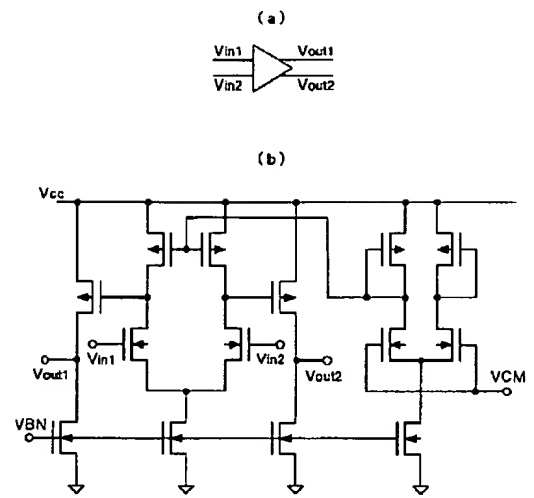
【図 5】

図 5



【図 6】

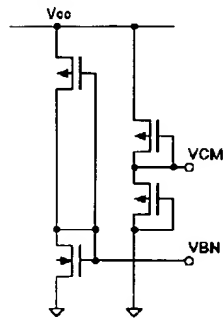
図 6



【図 7】

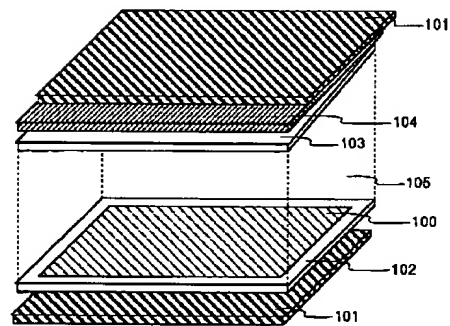
図 7

バイアス電圧発生回路



【図 9】

図 9



【図10】

図 10

